



Docket No. 87391.0500

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Kai-Ye HUANG et al.

Serial No.: 10/699,830

Filed: November 4, 2003

For: METHOD AND TEST STRUCTURES FOR MEASURING INTERCONNECT  
COUPLING CAPACITANCE IN AN IC CHIP

Group Art Unit: 2858

Examiner: Unassigned

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

CLAIM FOR PRIORITY

Sir:

Under the provisions of Section 119 of 35 U.S.C., Applicant(s) hereby claim the benefit of the filing date of Taiwan Patent No. 092120564, filed July 28, 2003, for the above identified United States Patent Application.

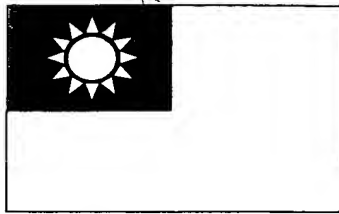
In support of Applicant(s) claim for priority, filed herewith is one certified copy of the above.

Respectfully submitted,

BAKER & HOSTETLER LLP

Kenneth J. Sheehan  
Reg. No. 36,270

Date: February 24, 2004  
Washington Square, Suite 1100  
1050 Connecticut Avenue, N.W.  
Washington, D.C. 20036  
Phone: (202) 861-1500  
Fax: (202) 861-1783



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 28 日  
Application Date

申請案號：092120564  
Application No.

申請人：華邦電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 31 日  
Issue Date

發文字號：09221109790  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	測量積體電路晶片中導線間耦合電容值的方法與量測裝置
	英 文	Method and test structures for measuring interconnect coupling capacitance in an IC chip
二、 發明人 (共2人)	姓 名 (中文)	1. 黃凱易 2. 趙傳珍
	姓 名 (英文)	1. HUANG, Kai-Ye 2. CHAO, Chuan-Jane
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北市士林區通河東街2段23號2樓 2. 新竹市光華二街72巷38之8號3樓之2
	住居所 (英 文)	1. 2F, No. 23, Sec. 2, Tung Ho Tung St., Taipei City 2. 3F-2, No. 38-8, Lane 72, Kuang Hua 2nd St., Hsinchu City
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. WINBOND ELECTRONICS CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市研新三路4號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 4, CREATION RD. III, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 焦 佑 鈞
	代表人 (英文)	1. CHIAO, Yu-Cheng



四、中文發明摘要 (發明名稱：測量積體電路晶片中導線間耦合電容值的方法與量測裝置)

一種適用於測量形成於積體電路晶片上一積體電路結構的內連線之間的耦合電容值之兩步驟測量方法與量測裝置。此方法運用CBCM技術。為了獲得一導線對地的總電容值 $C$ ， $C$ 包括導線對導線、側緣和面積耦合電容成份( $C = 2C_c + 2C_f + C_a$ )，在第一步驟中兩測試結構被用來測量一目標構造。為了獲得此導線對接地基底的電容值 $C_{dummy}$ ， $C_{dummy}$ 包括側緣和面積耦合電容成份( $C_{dummy} = 2C_f + C_a$ )，在第二步驟中另兩測試結構被用來測量一擬仿構造。完成此兩步驟後即可根據 $C_c = (C - C_{dummy})/2$ 算出此導線跟另一導線間的耦合電容值 $C_c$ 。

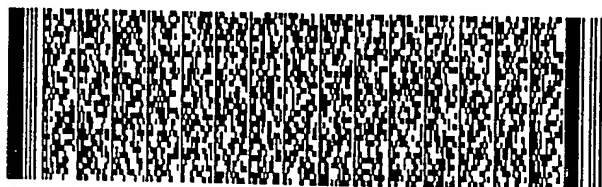
五、(一)、本案代表圖為：第\_\_\_\_1\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

102 第一P型金氧半電晶體

六、英文發明摘要 (發明名稱：Method and test structures for measuring interconnect coupling capacitance in an IC chip)

Two-step measurement method and test structures for measuring interconnect coupling capacitance in an IC chip are provided. This method employs CBCM technique. In the first step, two test structures are used to measure a target configuration in order to obtain the total capacitance  $C$  of a metal line with respect to ground including line-to-line, fringe and area components( $C = 2C_c +$

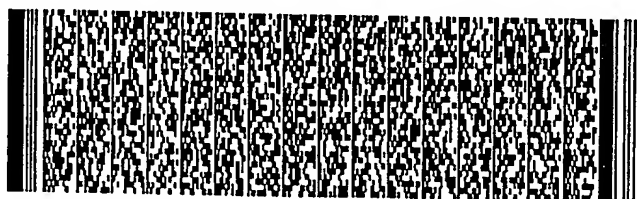


四、中文發明摘要 (發明名稱：測量積體電路晶片中導線間耦合電容值的方法與量測裝置)

- 104 第一N型金氧半電晶體
- 106 電源供應端，電壓為 $V_{dd}$
- 108 兩直流電流計108，由A1和A2所表示110 接地端
- 112 兩測試結構
- 114 第二P型金氧半電晶體
- 116 第二N型金氧半電晶體

六、英文發明摘要 (發明名稱：Method and test structures for measuring interconnect coupling capacitance in an IC chip)

$2C_f + C_a$ ). In the second step, two other test structures are used to measure a dummy configuration in order to obtain the area and fringe capacitance  $C_{dummy}$  of the metal line with respect to ground including fringe and area components ( $C_{dummy} = 2C_f + C_a$ ). After the two steps, the coupling capacitance  $C_c$  between the metal line and another line can be determined according to



四、中文發明摘要 (發明名稱：測量積體電路晶片中導線間耦合電容值的方法與量測裝置)

六、英文發明摘要 (發明名稱：Method and test structures for measuring interconnect coupling capacitance in an IC chip)

the formula  $C_c = (C - C_{dummy})/2$ .



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

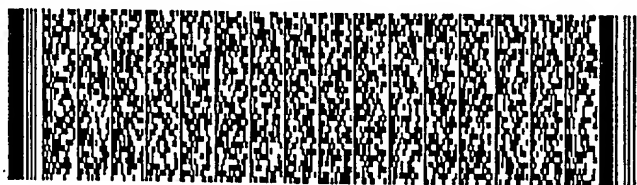
### 【發明所屬之技術領域】

本發明跟測量電容值有關，而且特別是跟測量在積體電路晶片(IC chip)中兩導線間的耦合電容值有關。

### 【先前技術】

隨著電晶體尺寸持續縮減，邏輯閘延遲(gate delay)不再是限制電路速度的主要因素，代之的是內連線延遲(interconnect delay)決定了電路的表現。此外，當內連線變成多層(multi-layer)、更複雜且更靠近，兩導線間的交互耦合效應在深次微米尺寸的類比和數位電路中成為一種雜訊來源，這些雜訊可能造成晶片功能上的失敗。因此，為了電路模擬或為了電路失敗分析而擷取準確的內連線參數是重要且需要的。

為了評估兩內連接導線間的耦合效應，有需要確知兩導線間的耦合電容。耦合電容可分為產生在同一層內(intra-layer)的耦合電容，以及不同層間(inter-layer)的耦合電容。以下為須要準確測量同一層內導線側向耦合電容參數的幾個理由。首先，增加金屬導線的外在尺寸比率(厚度/寬度)能夠改善時間常數延遲(RC delay)，但是當側向同一層內的耦合電容變成導線總電容的主要成份時，電路表現的增進最終將飽和無法再提高，如M. Bohr在"Interconnect scaling-the real limiter to high performance ULSI"(載於IEEE Tech. Digest IEDM, 1995, pp. 241-244)中所報告的。其次，為了不過度增加

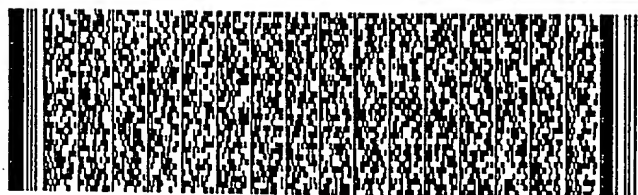




## 五、發明說明 (2)

內連線的電阻值，金屬導線的厚度不會隨著金屬導線之節距(pitch)縮減而縮減，而且被維持在同樣的值。結果是，在先進製程中側向同一層內的耦合電容將是導線總電容的主要部份。

一般使用來測量內連線耦合電容的測試結構有兩種，晶片外或被動的測試結構以及晶片上或主動的測試結構。被動的測試結構須要為了達到可測得之電容值所以很大的幾何圖形並且是使用阻抗儀直接測量電容值。不像晶片外直接的測量方法，晶片上的測量方法使用主動元件以施加電流對內連接導線的電容進行充電或放電。在這種方法中，測得的電容是一個導出的值，藉由測量電容之電流而獲得，因此這種方法是非直接的方法。一種非直接的方法，稱為"基於電荷的電容測量"(Charge Based Capacitance Measurement, CBCM)，是由Bernard Laquai等人在"An new method and test structure for easy determination of femto-farad on-chip capacitances in a MOS process"(載於Proc. IEEE, vol.5, 1992, pp. 62-66)中所提出的。這種方法是使用供應到反相器(inverter)的平均電流以及所給定的時脈頻率而導出載入的電容值，而且這種方法可以達到解析度為千萬億分之一法拉(femto-farad, fF)的測量結果。J.Chen等人在"An on-chip attofarad interconnect charge-based capacitance measurement (CBCM) technique"(載於Proc. of IEDM, 1996, pp. 69-72)以及"An on-chip、

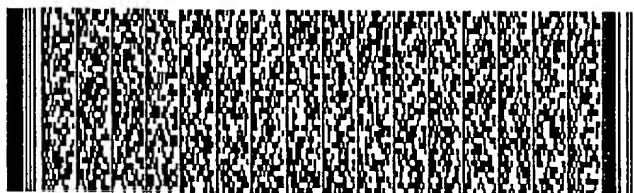
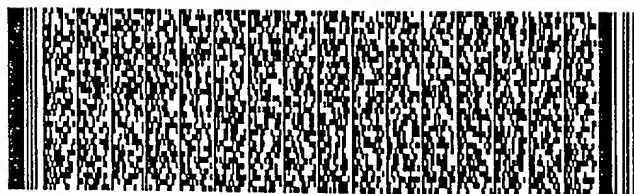


### 五、發明說明 (3)

interconnect capacitance characterization method with sub-femto-farad resolution" (載於IEEE Transactions on Semiconductor Manufacturing, Vol. 11, 1998) 中揭露一種具有0.01fF解析度的改良的測試方法。

在CBCM技術中，具有兩個單獨的測試結構112之一對反相器是用來推導得出想求得之電容值，此對反相器如第1圖所顯示。此兩測試結構112分別為一個目標測試結構(target test structure)以及一個參考測試結構(dummy or reference test structure)。積體電路和測試結構是形成於一個積體電路晶片中的基底(substrate)上面，而此基底一般是作為接地的平面。此兩測試結構112分別被耦合到此兩反相器的兩輸出端點 $V_{out1}$ 和 $V_{out2}$ 。第1圖中左邊的反相器是由第一P型金氧半電晶體(PMOS) 102和第一N型金氧半電晶體(NMOS) 104所組成，而右邊的反相器是由第二P型金氧半電晶體114和第二N型金氧半電晶體116所組成。時脈信號 $V_1$ 和 $V_2$ 是兩個不重疊的信號，如第2圖所顯示，用來避免在信號轉換期間的暫態從電源供應端106(具有一電壓 $V_{dd}$ )到接地端110形成一個直接的電流路徑(短路)。兩個直流電流計108，由A1和A2所表示，分別被用來記錄觀察流經第1圖中兩反相器的電流。在此，只有平均電流需要被測量。

根據J.Chen的方法，為了同一層內電容的擷取之一目標測試結構被繪示於第3圖。它是由一中心導線300及周圍圍繞



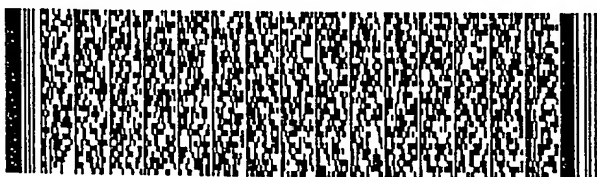
#### 五、發明說明 (4)

一迂迴導線302所組成。此迂迴導線被連接到地304，而此中心導線300則被連接到第1圖中一個反相器的輸出端點 $V_{out1}$ 。此中心導線300的側向跟此迂迴導線302的距離為一特定長度 $s$ 。總耦合電容包含了面積(area)、側緣(fringe)以及導線對導線(line-to-line)耦合電容成份。為了去除不想要的成份，一個參考測試結構被設計成如第4圖所顯示。一個中心導線400被連接到第1圖中另一反相器的輸出端點 $V_{out2}$ ，而一個較短的迂迴導線402被連接到地404。在第3圖之中心導線300其中長度為 $L$ 的一部分之導線對導線耦合電容是要求出的。此參考測試結構是為了模擬第3圖中此中心導線300對地的電容，但並不包括此中心導線300和每一鄰近的屬於此迂迴導線302的一部份之間的導線對導線耦合電容。

第5圖和第6圖分別是第3圖和第4圖的截面圖。此迂迴導線302對地304的连接也顯示於第5圖。第6圖繪示只有部份的此中心導線400之截面，此部份並沒有側向鄰近的屬於此迂迴導線402的部份。此積體電路晶片的基底被連接到地500。流過一個反相器的平均電流 $I$ 可被描述為第(1)式，其中 $V_{dd}$ 是電源提供的電壓， $f$ 是時脈信號 $V_1$ 和 $V_2$ 的頻率，而此反相器的輸出端點的總載入電容值為 $C_{tot}$ 。

$$I = C_{tot} * V_{dd} * f \quad (1)$$

根據第5圖和第6圖，它們的總載入電容值 $C_{tot1}$ 、 $C_{tot2}$ 分別是依以下的式子所組成：



## 五、發明說明 (5)

$$C_{tot1} = 2C_c + 2C_{f1} + C_{a1} + C_{stray1} \quad (2) \text{ 和}$$

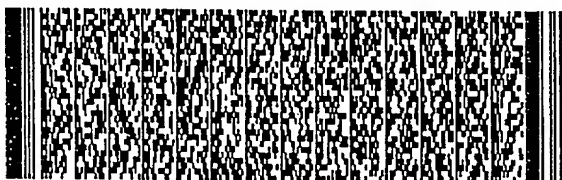
$$C_{tot2} = 2C_{f2} + C_{a2} + C_{stray2} \quad (3) +$$

在對應到目標測試結構的第(2)式中， $C_c$ 代表目標導線對導線耦合電容值， $C_{f1}$ 代表中心導線300的側緣和接地平面(基底)之間的側緣電容值， $C_{a1}$ 是中心導線300的底面和此接地平面之間的面積電容值，以及 $C_{stray1}$ 是反相器本身的零星散亂電容值。 $C_{f2}$ 、 $C_{a2}$ 和 $C_{stray2}$ 則是參考測試結構中的電容成份。

如果反相器之間和內連線的不匹配(mismatch)效應被忽略的話， $C_{stray1}$ 等於 $C_{stray2}$ 並且 $C_{a1}$ 等於 $C_{a2}$ 。連接目標測試結構的反相器之充電電流 $I_1$ 和連接參考測試結構的反相器之充電電流 $I_2$ 的差為

$$I_1 - I_2 = (C_{tot1} - C_{tot2}) * V_{dd} * f = [2C_c + 2(C_{f1} - C_{f2})] * V_{dd} * f \quad (4) +$$

一般來說，跟導線對導線耦合電容成份比較起來，側緣電容成份是不可忽略的。再者，由於每一中心導線(300或400)其有或沒有鄰近的接地導線所造成在同一層和在基底的電荷分布不同， $C_{f1}$ 小於 $C_{f2}$ ，並且無鄰近的接地導線之中心導線對基底的總耦合電容值比有鄰近的接地導線之中心導線對基底的總耦合電容值大得多。因為在第(4)式中 $C_{f1}$ 和 $C_{f2}$ 之間的差很大，當中心導線300和迂迴導線302屬於同一層時所擷取出同一層中的耦合電容值會不準確且被低估。從0.6微米(um)科技中進行2維(2-D)模擬得知，屬於第1金屬層且無鄰近的導線之中心導線對基底的耦合電容



#### 五、發明說明 (6)

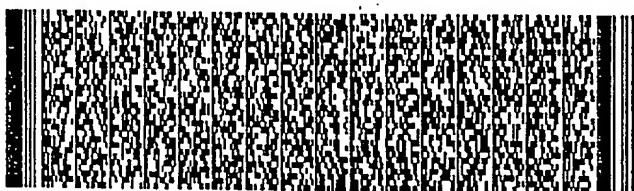
值是有鄰近的導線之中心導線對基底的耦合電容值的2.6倍( $C_{a1}+2C_{f1}=0.0395$  fF/ $\mu\text{m}$ ,  $C_{a2}+2C_{f2}=0.1029$  fF/ $\mu\text{m}$ , width/space=0.6  $\mu\text{m}/0.6$   $\mu\text{m}$ , 介電質厚度=7000 埃(Angstrom),  $C_c$  只有0.092 fF/ $\mu\text{m}$ )。由以上的理由, 這兩個測試結構只適用於當迂迴導線跟中心導線不在同一層時擷取不同層之間的耦合電容值, 而在此情況之下兩層之間的電荷分布是大致相同的。

此外, 由兩反相器之間的不匹配效應所引起的誤差是CBCM方法的另一個重要議題。如果不匹配效應不能忽視的話, 此兩總電容值 $C_{tot1}$ 和 $C_{tot2}$ 之間原本只由導線對導線耦合電容所造成的差會變的更大, 所以求出的導線對導線耦合電容誤差會更大。Arora等人在美國專利號5999010(1999年12月7日)中提出也採取CBCM技術的一種新結構。然而, 其方法須用三個測量步驟而且需要更多墊體(pad)來實現此測試結構, 因此不適合用在晶圓上(on-wafer)的測量。由以上所述, 有需要發展出測量積體電路晶片中導線間耦合電容值的方法與量測裝置。

#### 【發明內容】

本發明的目的是提供新測試結構及一種新技術, 此技術是運用這些測試結構以準確地測量形成於積體電路晶片上一積體電路結構同一層的內連線之間的耦合電容值。

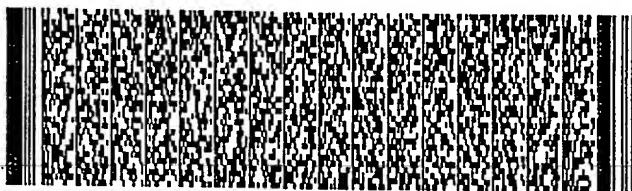
此兩步驟測量方法運用兩組測試結構。第一組是用來測量一目標構造(target configuration)。此目標構造基本上



#### 五、發明說明 (7)

包含兩分支電路，例如前面所述的兩反相器。為了獲得長度為 $L$ 的一中心導線的總電容值 $C$ ，在提供一第一測試結構和一第二測試結構的條件下，第一組試圖擷取包含導線對導線、面積、和側緣電容成份之此中心導線對地的總電容值( $C=2C_c+2C_f+C_a$ )。第二組是用來測量一擬仿構造(dummy configuration)。此擬仿構造基本上包含兩分支電路，例如前面所述的兩反相器。此兩分支電路與目標構造中的兩分支電路相同。第二組試圖擷取長度為 $L$ 的一中心導線對接地基底的面積和側緣電容值之和 $C_{dummy}$  ( $C_{dummy}=2C_f+C_a$ )，當此中心導線之兩側各有一與此中心導線平行的導線時，並且包含兩測試結構以達成此目標。此三導線結構被放置在一第三測試結構而另一兩導線結構被放置在一第四測試結構。兩個交互參照的次結構分別被放置在第三測試結構和第四測試結構中，以消除不需要的電容成份。藉由使用CBCM技術，兩步驟中分別可以獲得想要的電容值。最後可以根據此式 $C_c=(C-C_{dummy})/2$ 而求出導線對導線的耦合電容值 $C_c$ 。在此兩步驟的每一步驟中，此兩反相器之間的不匹配效果被包含在所得到的兩電容值中，所以將 $C_{dummy}$ 從 $C$ 中減去可大約消除這些不匹配成份。結果是使所獲得的 $C_c$ 更加準確。

總之，本發明的新測試結構和方法能改善在此領域中先前方法和測試結構的缺點，例如在本說明書的先前背景技術中所提到的缺點，並且也同時具有降低不匹配效應、小尺寸的測試結構、簡單的測試步驟以及高準確性擷取同一層



## 五、發明說明 (8)

內的耦合電容值等優點。

需要理解的是前面的大致敘述和下面的詳細敘述都是範例性質的，而且是打算用來提供本發明的進一步說明解釋。

### 【實施方式】

本發明提出一種新的兩步驟測量方法及測試結構，為了準確地測量形成於積體電路晶片上一積體電路結構內連線之間的耦合電容。此方法也採用CBCM技術，但是改善了J. Chen之方法中的參考測試結構，並且使用另兩個測試結構。以下敘述這些新的測試結構和本測量方法的具體實施例。

此兩步驟測量方法是分別測量一目標構造和一擬仿構造。目標構造基本上包含第一分支電路及第二分支電路，例如第1圖中的兩反相器。第一分支電路為第1圖中左邊的反相器，其是由第一P型金氧半電晶體102和第一N型金氧半電晶體104所組成。第一P型金氧半電晶體102和第一N型金氧半電晶體104串接於輸出端點 $V_{out1}$ 。第一P型金氧半電晶體102的一輸出端接到電源供應端106(具有一電壓 $V_{dd}$ )，而第一N型金氧半電晶體104的一輸出端接到地。第二分支電路為第1圖中右邊的反相器，其是由第二P型金氧半電晶體114和第二N型金氧半電晶體116所組成。第二P型金氧半電晶體114和第二N型金氧半電晶體116串接於輸出端點 $V_{out2}$ 。第二P型金氧半電晶體114的一輸出端接到電壓 $V_{dd}$ ，而第二N型金氧半電晶體116的一輸出端接到地。





#### 五、發明說明 (9)

兩個直流電流計108，由A1和A2所表示，分別被用來記錄觀察流經第一分支電路與第二分支電路的電流。在此，只需要測量平均電流。第一N型金氧半電晶體104與第二N型金氧半電晶體116相同，其控制端點相連接且由一第一電壓時脈信號 $V_1$ 所驅動。第一P型金氧半電晶體102與第二P型金氧半電晶體114相同，其控制端點相連接且由一第二電壓時脈信號 $V_2$ 所驅動。第一電壓時脈信號 $V_1$ 和第二電壓時脈信號 $V_2$ 是兩個不重疊的信號，如第2圖所顯示，它們不同時開啟第一P型金氧半電晶體102和第一N型金氧半電晶體104。它們也不同時開啟第二P型金氧半電晶體114和第二N型金氧半電晶體116。

擬仿構造基本上包含第三分支電路及第四分支電路，例如第1圖中的兩反相器。第三分支電路為第1圖中左邊的反相器，而第四分支電路為第1圖中右邊的反相器。第三分支電路的構造及驅動方式與第一分支電路完全相同，而第四分支電路的構造及驅動方式與第二分支電路完全相同，所以在此不再贅述。

本發明的測試結構可用於量測一積體電路中一待測導線A之一第一耦合電容值 $C$ 與一第二耦合電容值 $C_{dummy}$ 。此待測導線A長度為 $L$ ，而此積體電路的基底接地。本測量方法藉由求出第一耦合電容值 $C$ 與第二耦合電容值 $C_{dummy}$ 而算出此待測導線A和另一導線B間的導線對導線耦合電容值。

本測量方法的第一測量步驟運用兩個測試結構，分別顯示於第7圖和第8圖。第7圖中的測試結構為第一測試結構，



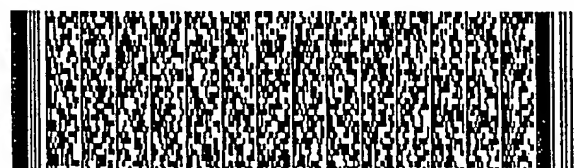


#### 五、發明說明 (10)

其為主要測試結構，其中一中心導線700被連接到第一分支電路的輸出端點 $V_{out1}$ 。一迂迴導線702的長度相同兩金屬部份分別被放置於此中心導線700的兩側，且跟此中心導線700平行並與此中心導線700的距離相同。此兩金屬部份經由此迂迴導線702的另一金屬部份702a連接到地704。如圖中所顯示，此中心導線700跟每一鄰近金屬部份的距離為 $s$ 且它們之間的平行重疊長度為 $x+L$ 。中心導線700與待測導線A相同，但中心導線700的長度大於待測導線A之長度。

第8圖中的測試結構為第二測試結構，其為參考測試結構，其中另一金屬線800被連接到第二分支電路的輸出端點 $V_{out2}$ 。另一迂迴導線802的長度相同兩金屬部份802b和802c分別被放置於此金屬導線800的兩側，且也跟此金屬導線800平行並與此金屬導線800的距離相同。此兩金屬部份802b和802c經由此迂迴導線802的另一金屬部份802a連接到地804。如第8圖中所顯示，此金屬導線800跟每一鄰近金屬部份802b和802c的距離為 $s$ 且它們之間的平行重疊長度為 $x$ 。金屬線800與待測導線A相同，而迂迴導線802、迂迴導線702與導線B相同。

第一測試結構與第二測試結構被設計來測量此中心導線700長度為 $L$ 之一部份700a(相當於長度為 $L$ 之待測導線A)對地的第一耦合電容值 $C$ 。此第一耦合電容值 $C$ 包括此金屬部份700a跟每一鄰近長度為 $L$ 之金屬部份702b和702c之間的導線對導線耦合電容值 $C_c$ 、此金屬部份700a之每一側緣跟



## 五、發明說明 (11)

此電路之基底之間的側緣耦合電容值 $C_f$ 以及此金屬部份700a的底面跟此基底之間的面積耦合電容值 $C_a$ 。跟第7圖中的第一測試結構比起來，第8圖中的第二測試結構沒有對應於金屬部份700a、長度為 $L$ 且兩側各有一鄰近金屬部份之一金屬部份。中心導線700的長度減去金屬導線800的長度等於 $L$ ，而且放在此中心導線700兩側的兩金屬部份之長度減去兩金屬部份802b和802c之長度等於 $L$ 。因此，第一分支電路的輸出端點 $V_{out1}$ 相對於地且從第一測試結構所導出的總載入電容 $C_{tot1}$ 減去第二分支電路的輸出端點 $V_{out2}$ 相對於地且從第二測試結構所導出的總載入電容 $C_{tot2}$ 為 $C$ 。 $C$ 等於 $2C_c + 2C_f + C_a$ 。

要獲得第一耦合電容值 $C$ 的方法如以下所述。首先測量流經第一分支電路在一段時間中的平均電流 $I_1$ 。接著也測量流經第二分支電路在同一段時間中的平均電流 $I_2$ 。根據CBCM原理，

$$I_1 = C_{tot1} * V_{dd} * f$$

$$I_2 = C_{tot2} * V_{dd} * f$$

然後第一耦合電容值 $C$ 可從以下方程式計算出

$$C = C_{tot1} - C_{tot2} = (I_1 - I_2) / (V_{dd} * f)$$

其中 $V_{dd}$ 是電壓供應端106的電壓而 $f$ 是第一電壓時脈信號 $V_1$ 和第二電壓時脈信號 $V_2$ 之時脈頻率。

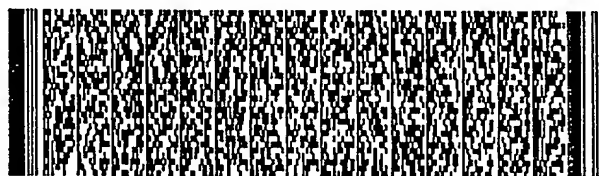
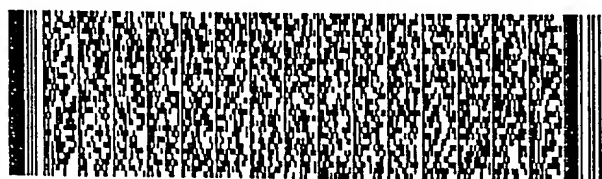
此兩步驟測量方法的第二測量步驟是運用另兩個測試結



#### 五、發明說明 (12)

構，分別顯示於第9圖和第10圖。在第9圖中的第三測試結構中，有一個長度為 $y+L$ 的中心金屬導線900，而有相同長度 $y+L$ 的兩金屬導線902和904被放置在此中心金屬導線900的兩側，且跟此中心導線900平行並與此中心導線900的距離相同。如圖中所顯示，此中心導線900跟每一鄰近金屬導線902和904之間的距離為 $s$ 且它們之間的平行重疊長度為 $y+L$ 。這三個金屬導線形成第三測試結構中的一個次結構(subordinate structure)而且是為了模擬(emulate)第7圖中長度為 $L$ 部份導線700a對地的面積和側緣電容。中心金屬導線900及兩金屬導線902、904皆與待測導線A相同。在第10圖中的第四測試結構中，有一個由兩平行長度為 $y+L$ 之金屬導線1000和1002所組成的次結構，且這兩導線1000和1002之間的距離為 $s$ 且它們之間的平行重疊長度為 $y+L$ 。這個次結構是為了模擬兩導線902和904的總電容。金屬導線1000和1002亦與待測導線A相同。

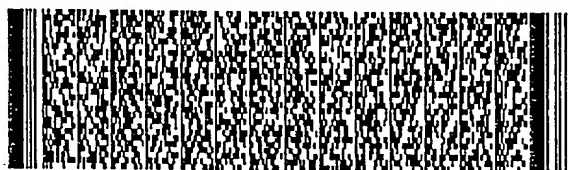
顯示於第9圖和第10圖中的第三測試結構與第四測試結構是被設計來測量此中心導線900長度為 $L$ 之一部份900a(相當於長度為 $L$ 之待測導線A)對此電路接地基底之第二耦合電容值 $C_{dummy}$ 。要注意長度為 $L$ 之部份導線900a是模擬第7圖中長度為 $L$ 之部份導線700a對接地基底之面積與側緣電容。 $C_{dummy}$ 包括此長度為 $L$ 之金屬部份900a之每一側緣跟此電路之基底之間的側緣耦合電容值 $C_f$ 以及此金屬部份900a的底面跟此基底之間的面積耦合電容值 $C_a$ 。 $C_{dummy}$ 等於 $2C_f + C_a$ 。為了達到這個測量目標，由兩平行長度為 $y$ 之金屬導線



#### 五、發明說明 (13)

906和 908所組成的一個交互參照次結構被放置於第三測試結構中以消除分別在兩金屬導線 1000和 1002中的兩長度為  $y$  的金屬部份之效果。此兩金屬導線 906和 908之間的距離為  $s$  且它們之間的平行重疊長度為  $y$ 。金屬導線 906和 908皆與待測導線 A 相同。此外，由三個平行長度為  $y$  之金屬導線 1004、1006和 1008所組成的一個交互參照次結構被放置於第四測試結構中以消除分別在三個金屬導線 900、902和 904中的三個長度為  $y$  的金屬部份之效果。此三金屬導線 1004、1006和 1008任兩相鄰導線之間的距離為  $s$  且它們之間的平行重疊長度為  $y$ 。金屬導線 1004、1006和 1008皆與待測導線 A 相同。

當進行此第二測量步驟時，此五條金屬導線 900、902、904、906和 908會被短路在一起且被連接到第三分支電路的輸出端點  $V_{out1}$ 。它們被短路在一起以致於其中任兩相鄰導線之間並沒有導線對導線之耦合電容。此五條金屬導線 1000、1002、1004、1006和 1008也會被短路在一起且被連接到第四分支電路的輸出端點  $V_{out2}$ 。它們其中任兩相鄰導線之間也沒有導線對導線之耦合電容。運用 CBCM 原理而抵消此兩測試結構之間的相等成份後，此兩測試結構之間的差為在金屬導線 900 中長度為  $L$  之一金屬部份。換句話說，第三分支電路的輸出端點  $V_{out1}$  相對於地且從第三測試結構所導出的總載入電容值  $C_{tot3}$  減去第四分支電路的輸出端點  $V_{out2}$  相對於地且從第四測試結構所導出的總載入電容值  $C_{tot4}$  為  $C_{dummy}$ 。



## 五、發明說明 (14)

獲得第二耦合電容值 $C_{dummy}$ 的方法如以下所述。首先測量流經第三分支電路在一段時間中的平均電流 $I_3$ 。接著也測量流經第四分支電路在同一段時間中的平均電流 $I_4$ 。根據CBCM原理，

$$I_3 = C_{tot3} * V_{dd} * f \quad \text{+}$$

$$I_4 = C_{tot4} * V_{dd} * f \quad \text{+}$$

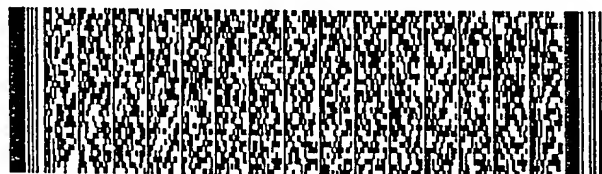
然後第二耦合電容值 $C_{dummy}$ 可從以下方程式計算出

$$C_{dummy} = C_{tot3} - C_{tot4} = (I_3 - I_4) / (V_{dd} * f) \quad \text{+}$$

其中 $V_{dd}$ 是電壓供應端106的電壓而 $f$ 是第一電壓時脈信號 $V_1$ 和第二電壓時脈信號 $V_2$ 之時脈頻率。

完成以上所述這兩個測量步驟之後，因為 $C = 2C_c + 2C_f + C_a$ 以及 $C_{dummy} = 2C_f + C_a$ ，部份導線700a(相當於待測導線A)和部份導線702b或702c(相當於導線B)之間的導線對導線耦合電容值 $C_c$ 然後可以根據這個式子 $C_c = (C - C_{dummy}) / 2$ 簡單地求出。 $C_c$ 也就是待測導線A和導線B之間的導線對導線耦合電容值。注意在每一測量步驟中，兩分支電路之間的不匹配效果被包含在每一所得到的電容值 $C$ 與 $C_{dummy}$ 中，所以將 $C_{dummy}$ 從 $C$ 中減去可大約抵消這些不匹配成份。結果是使所獲得的 $C_c$ 更加準確。此外，欲求得的導線對導線耦合電容值 $C_c$ 可以小於 $10^{-15}$ 法拉(1 femtoFarad)。

以上所述的所有測試結構中的所有導線可以都屬於同一導體層，而待測導線A和導線B屬於此導體層。因此導線對導



##### 五、發明說明 (15)

線耦合電容值 $C_c$ 為同一層內兩導線間的耦合電容值。

總之，本發明的新測試結構和測量方法能改善在此領域中先前方法和測試結構的缺點，例如在本說明書的先前背景技術中所提到的缺點，並且也同時具有降低不匹配效應、小尺寸的測試結構、簡單的測試步驟以及高準確性擷取同一層內的耦合電容值等優點。

對於在此技術領域中有技能的人員而言很明顯的是，在不偏離本發明的範圍或精神之下，關於本發明的測試結構之多種不同的修改和變化是可以做出的。鑒於前面所述，本發明是意欲包含這些測試結構的修改和變化以及它們的相等結構，只要這些修改和變化或相等結構落在後面所附加申請專利範圍中。



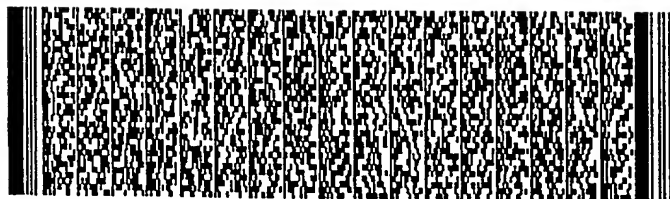
## 圖式簡單說明

### 【圖式簡單說明】

- 第1圖係繪示CBCM技術的概要圖和測試構造；  
第2圖係繪示脈波高度為 $V_{dd}$ 、時脈頻率為 $f$ 的兩不重疊的電壓時脈信號 $V_1$ 和 $V_2$ ；  
第3圖係J. Chen方法中的目標測試結構的上視圖；  
第4圖係J. Chen方法中的參考測試結構的上視圖；  
第5圖係第3圖的一截面圖；  
第6圖係繪示只有部份的第4圖之中心導線400之截面，此部份並無兩側鄰近屬於第4圖中迂迴導線402的部份；  
第7圖係為本發明的第一測試結構之上視圖；  
第8圖係為本發明的第二測試結構之上視圖；  
第9圖係為本發明的第三測試結構之上視圖；以及  
第10圖係為本發明的第四測試結構之上視圖。

### 【元件代表符號簡單說明】

- 102 第一P型金氧半電晶體  
104 第一N型金氧半電晶體  
106 電源供應端，電壓為 $V_{dd}$   
108 兩直流電流計108，由A1和A2所表示  
110 接地端 112 兩測試結構  
114 第二P型金氧半電晶體  
116 第二N型金氧半電晶體  
300 中心導線 302 迂迴導線 304 地  
400 中心導線 402 迂迴導線 404 地 500 地



圖式簡單說明

700 中心導線

700a 中心導線700之長度為 $L$ 之一部分

702 迂迴導線 704 地

702a 迂迴導線702連接到地的一部分

702b 702c 迂迴導線702在700a兩側長度為 $L$ 之兩部份

800 導線 802 迂迴導線 804 地

802a 迂迴導線802連接到地的一部分

802b 802c 迂迴導線802在800兩側之兩部份

900 長度為 $y+L$ 的中心導線

902 904 長度為 $y+L$ 置於中心導線兩側的兩導線

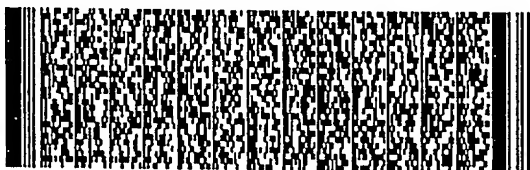
900a 中心導線900長度為 $L$ 的一部分

902a 904a 兩導線902、904中在900a兩側長度為 $L$ 的兩部份

906 908 長度為 $y$ 的兩平行導線

1000 1002 長度為 $y+L$ 的兩平行導線

1004 1006 1008 長度為 $y$ 的三平行導線





## 六、申請專利範圍

1. 一種積體電路中導線之耦合電容的量測裝置，用於量測一積體電路中一待測導線之一第一耦合電容值 $C$ 與一第二耦合電容值 $C_{dummy}$ ，該待測導線長度為 $L$ ，該積體電路的基底接地，該量測裝置包括：

一第一量測集合，包括：

一第一分支電路，包括：

串聯的一第一電晶體和一第二電晶體，其中該第一電晶體的一端點連接到一高電壓，而該第二電晶體的一端點連接到一低電壓，而且該兩電晶體的電性相反；

一第二分支電路，包括：

串聯的一第三電晶體和一第四電晶體，其中該第三電晶體的一端點連接到該高電壓，而該第四電晶體的一端點連接到該低電壓，而且該兩電晶體的電性相反，

其中該第一電晶體和該第三電晶體相同，該第二電晶體和該第四電晶體相同，該第一電晶體和該第三電晶體的控制端點相連接且由一第一電壓時脈信號所驅動，且該第二電晶體和該第四電晶體的控制端點相連接且由一第二電壓時脈信號所驅動，其中該第一電壓時脈信號與該第二電壓時脈信號不同時開啟每一該些分支電路上之該些電晶體；

一第一測試結構，被耦合到該第一電晶體和該第二電晶體之間一第一連接點，該第一測試結構包括：

一第一導線，連接到該第一連接點，該第一導線係與該待測導線相同且該第一導線長度大於該待測導線；以及



## 六、申請專利範圍

兩第二導線，分別放置在該第一導線的兩側，且跟該第一導線平行、等距並接地，

其中該第一導線跟每一該些第二導線間的距離與平行重疊長度分別為 $s$ 及 $x+L$ ；以及

一第二測試結構，被耦合到該第三電晶體和該第四電晶體之間一第二連接點，該第二測試結構包括：

一第三導線，連接到該第二連接點，其中該第三導線與該第一導線相同但長度較短；以及

兩第四導線，分別放置在該第三導線的兩側，且跟該第三導線平行、等距並接地，

其中該第三導線跟每一該些第四導線間的距離與平行重疊長度分別為 $s$ 及 $x$ ，該些第四導線與該些第二導線相同但長度較短，

其中，該第一導線的長度減去該第三導線的長度等於 $L$ ，在該第一連接點相對於地且從該第一測試結構所導出的總載入電容值減去在該第二連接點相對於地且從該第二測試結構所導出的總載入電容值為長度 $L$ 之該待測導線之該第一耦合電容值 $C$ ；以及

一第二量測集合，包括：

一第三分支電路，包括：

串聯的一第五電晶體和一第六電晶體，其中該第五電晶體的一端點連接到一高電壓，而該第六電晶體的一端點連接到一低電壓，而且該兩電晶體的電性相反；

一第四分支電路，包括：



## 六、申請專利範圍

串聯的一第七電晶體和一第八電晶體，其中該第七電晶體的一端點連接到該高電壓，而該第八電晶體的一端點連接到該低電壓，而且該兩電晶體的電性相反，

其中該第五電晶體、該第七電晶體和該第一電晶體相同，該第六電晶體、該第八電晶體和該第二電晶體相同，該第五電晶體和該第七電晶體的控制端點相連接且由該第一電壓時脈信號所驅動，且該第六電晶體和該第八電晶體的控制端點相連接且由該第二電壓時脈信號所驅動，其中該第一電壓時脈信號與該第二電壓時脈信號不同時開啟每一該些分支電路上之該些電晶體；

一第三測試結構，被耦合到該第五電晶體和該第六電晶體之間一第三連接點，該第三測試結構包括：

一第一次結構，包括：

長度為 $y+L$ 的一第五導線，該第五導線係與該待測導線相同但長度較長；以及

長度為 $y+L$ 的兩第六導線，分別放置在該第五導線的兩側，與該第五導線相同且跟該第五導線平行、等距，

其中該第五導線跟每一該些第六導線間的距離與平行重疊長度分別為 $s$ 及 $y+L$ ；以及

一第二次結構，包括：

長度為 $y$ 的兩平行第七導線，該些第七導線間的距離為 $s$ ，且平行重疊長度為 $y$ ，且與該第五導線相同，

其中該些五導線被短路在一起且連接到該第三連接



## 六、申請專利範圍

點；以及

一第四測試結構，被耦合到該第七電晶體和該第八電晶體之間一第四連接點，該第四測試結構包括：

一第三次結構，包括：

長度為 $y$ 的三平行第八導線，該些第八導線中任意相鄰兩導線間的距離為 $s$ ，且平行重疊長度為 $y$ ，且與該第五導線相同；以及

一第四次結構，包括：

長度為 $y+L$ 的兩平行第九導線，該些第九導線間的距離為 $s$ ，且平行重疊長度為 $y+L$ ，且與該第五導線相同，

其中該些五導線被短路在一起且連接到該第四連接點，

其中在該第三連接點從該第三測試結構所導出的總載入電容值減去在該第四連接點從該第四測試結構所導出的總載入電容值為長度 $L$ 之該待測導線之該第二耦合電容值

$C_{dummy}$ 。

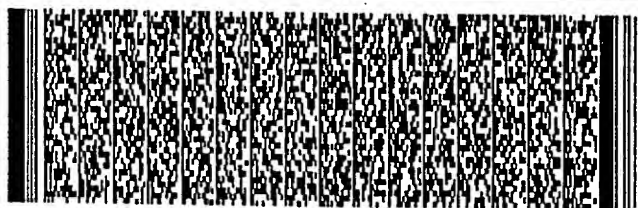
2. 如申請專利範圍第1項所述之量測裝置，其中該第一耦合電容值 $C$ 基本上包括該第一導線中長度為 $L$ 的一部份跟每一該些第二導線之間導線對導線一耦合電容值 $C_c$ 、該第一導線中長度為 $L$ 之該部份之每一側緣跟該積體電路之該基底之間的一側緣耦合電容值 $C_f$ 、以及該第一導線中長度為 $L$ 之該部份的底面跟該基底之間的一面積耦合電容值 $C_a$ ， $C$ 等



#### 六、申請專利範圍

於  $2C_c + 2C_f + C_a$  。

3. 如申請專利範圍第1項所述之量測裝置，其中該第二耦合電容值  $C_{dummy}$  基本上包括該第五導線中長度為  $L$  之一部份的每一側緣跟該積體電路之該基底之間的一側緣耦合電容值  $C_f$ 、以及該第五導線中長度為  $L$  之該部份的底面跟該基底之間的一面積耦合電容值  $C_a$ ； $C_{dummy}$  等於  $2C_f + C_a$ 。
4. 如申請專利範圍第1項所述之量測裝置，其中該四測試結構的所有該些導線係屬於同一導體層(layer)，該導體層形成於該積體電路的該基底上。
5. 如申請專利範圍第1項所述之量測裝置，其中該第一電晶體、該第三電晶體、該第五電晶體及該第七電晶體係為P型金氧半電晶體。
6. 如申請專利範圍第1項所述之量測裝置，其中該第二電晶體、該第四電晶體、該第六電晶體及該第八電晶體係為N型金氧半電晶體。
7. 一種電容測量方法，以量測一積體電路中一導線A和一導線B之間的導線對導線一耦合電容值  $C_c$ ，該導線A的長度為  $L$ ，該積體電路的基底接地，該電容測量方法包括以下步驟：



#### 六、申請專利範圍

運用申請專利範圍第 1 項所述之量測裝置的該第一量測集合，其中該第一導線與該導線 A 相同，該些第二導線與該導線 B 相同，並測量在一段時間中流經該第一分支電路的第一平均電流  $I_1$  及在同一段時間中流經該第二分支電路的第一平均電流  $I_2$ ，並根據  $C = (I_1 - I_2) / (V_{dd} * f)$  計算出一第一電容值  $C$ ，

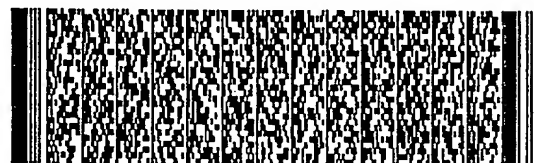
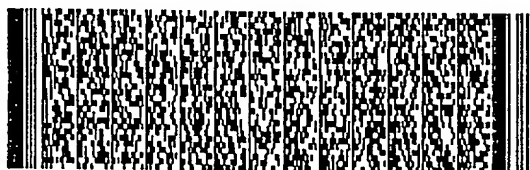
其中  $V_{dd}$  是申請專利範圍第 1 項所述之高電壓而  $f$  是申請專利範圍第 1 項中該些電壓時脈信號的時脈頻率；

運用申請專利範圍第 1 項所述之量測裝置的該第二量測集合，其中該些第五、第六、第七、第八和第九導線皆與該導線 A 相同，並測量在一段時間中流經該第三分支電路的第一平均電流  $I_3$  及在同一段時間中流經該第四分支電路的第一平均電流  $I_4$ ，並根據  $C_{dummy} = (I_3 - I_4) / (V_{dd} * f)$  計算出一第二電容值  $C_{dummy}$ ，

其中  $V_{dd}$  是申請專利範圍第 1 項所述之高電壓而  $f$  是申請專利範圍第 1 項中該些電壓時脈信號的時脈頻率；以及

根據一方程式  $C_c = (C - C_{dummy}) / 2$  算出該導線 A 和該導線 B 之間長度為  $L$  的導線對導線該耦合電容值  $C_c$ 。

8. 如申請專利範圍第 7 項所述之電容測量方法，其中該第一電容值  $C$  基本上包括該導線 A 跟該導線 B 之間長度為  $L$  的導線對導線該耦合電容值  $C_c$ 、該導線 A 之每一側緣跟該積體電



六、申請專利範圍

路的該基底之間的一側緣耦合電容值 $C_f$ 、以及該導線A的底面跟該基底之間的一面積耦合電容值 $C_a$ ； $C$ 等於 $2C_c + 2C_f + C_a$ 。

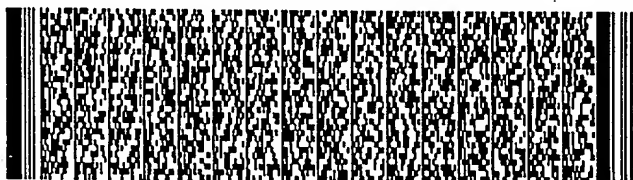
9. 如申請專利範圍第8項所述之電容測量方法，其中該第二電容值 $C_{dummy}$ 基本上包括該導線A的每一側緣跟該積體電路的該基底之間的該側緣耦合電容值 $C_f$ 、以及該導線A的底面跟該基底之間的該面積耦合電容值 $C_a$ ； $C_{dummy}$ 等於 $2C_f + C_a$ 。

10. 如申請專利範圍第7項所述之電容測量方法，其中該量測裝置的該些測試結構的所有該些導線係屬於同一導體層，該導體層形成於該積體電路的該基底上。

11. 如申請專利範圍第7項所述之電容測量方法，其中該量測裝置中接到該高電壓 $V_{dd}$ 的該些電晶體係為P型金氧半導體。

12. 如申請專利範圍第7項所述之電容測量方法，其中該量測裝置中接到申請專利範圍第1項所述之低電壓的該些電晶體係為N型金氧半導體。

13. 如申請專利範圍第7項所述之電容測量方法，其中該導線A和該導線B之間的導線對導線該耦合電容值 $C_c$ 小於 $10^{-15}$



六、申請專利範圍

法 拉 。





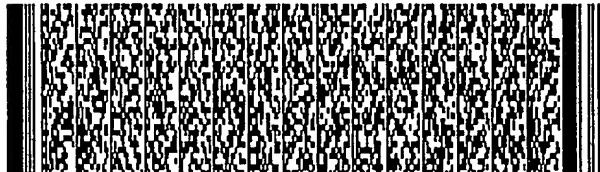
第 1/30 頁



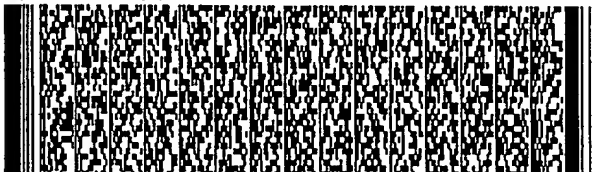
第 1/30 頁



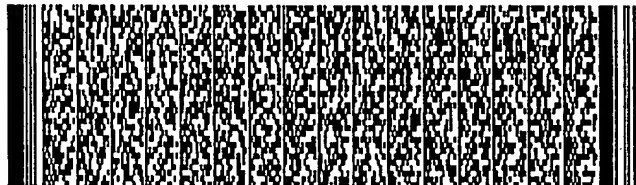
第 2/30 頁



第 2/30 頁



第 3/30 頁



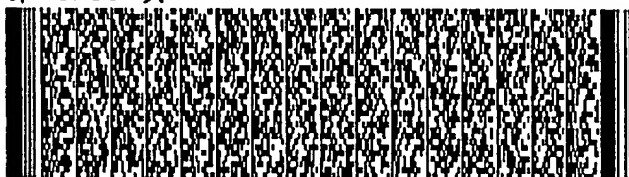
第 4/30 頁



第 5/30 頁



第 6/30 頁



第 6/30 頁



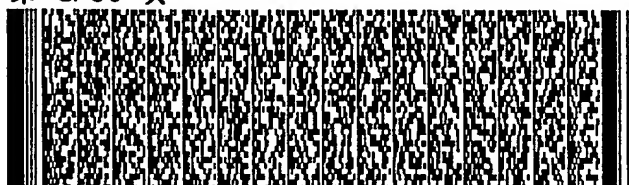
第 7/30 頁



第 7/30 頁



第 8/30 頁



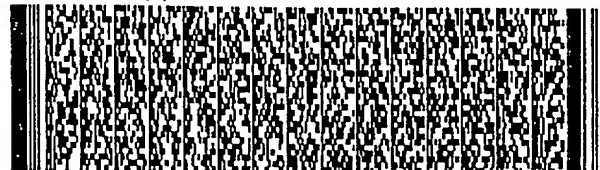
第 8/30 頁



第 9/30 頁



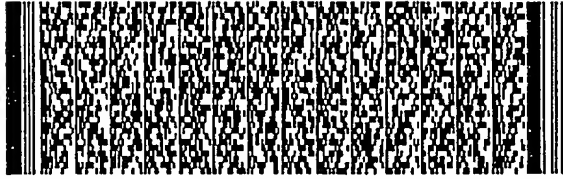
第 9/30 頁



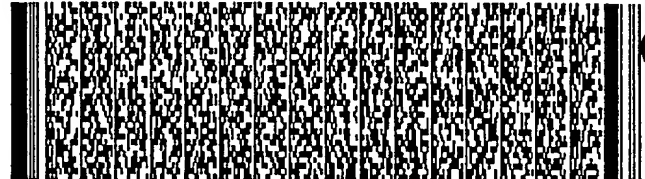
第 10/30 頁



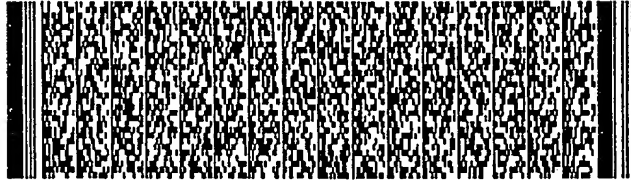
第 10/30 頁



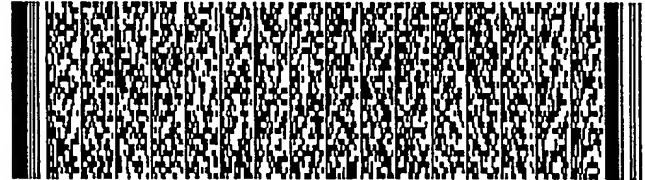
第 11/30 頁



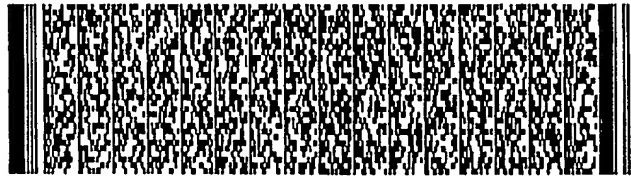
第 11/30 頁



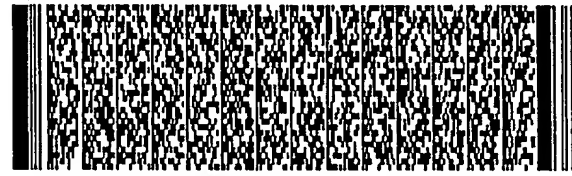
第 12/30 頁



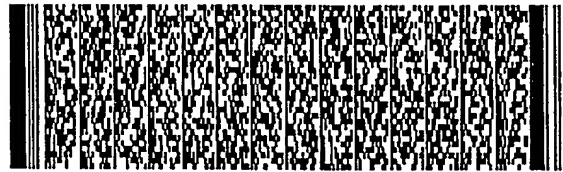
第 12/30 頁



第 13/30 頁



第 13/30 頁



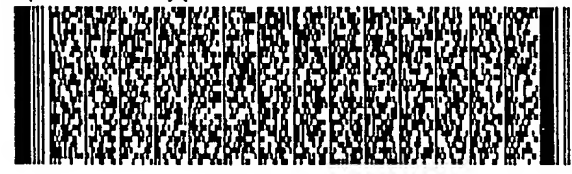
第 14/30 頁



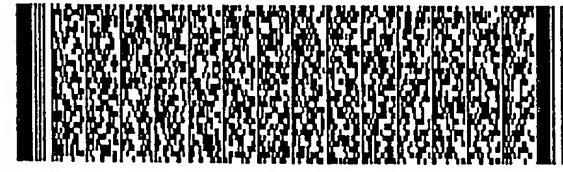
第 14/30 頁



第 15/30 頁



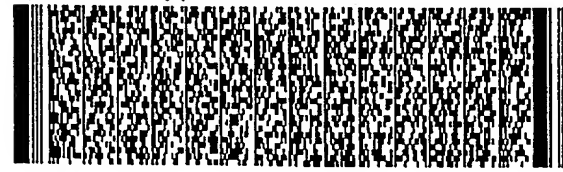
第 15/30 頁



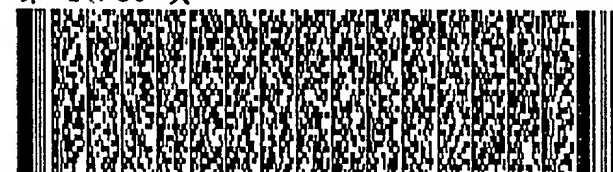
第 16/30 頁



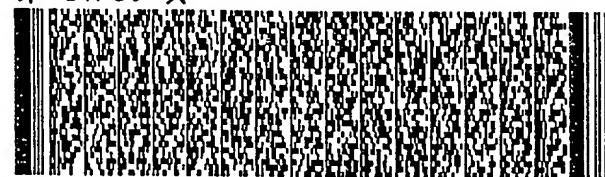
第 16/30 頁



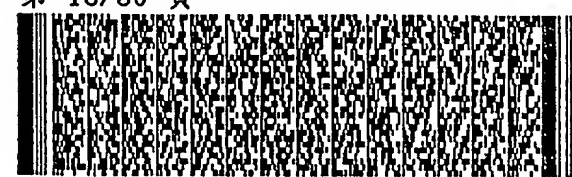
第 17/30 頁



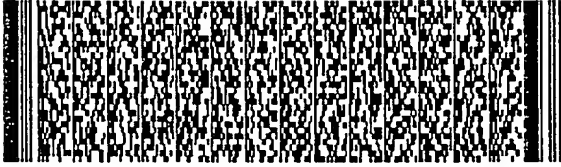
第 17/30 頁



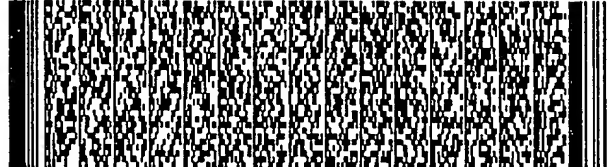
第 18/30 頁



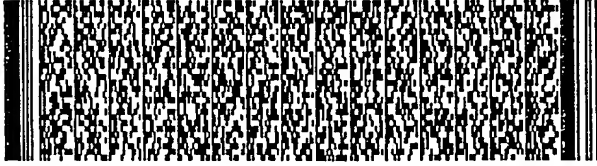
第 18/30 頁



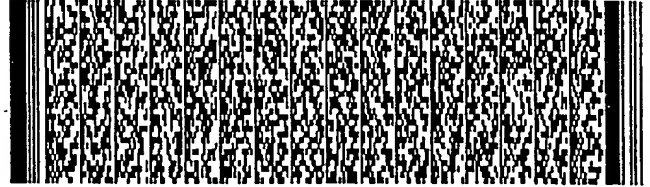
第 19/30 頁



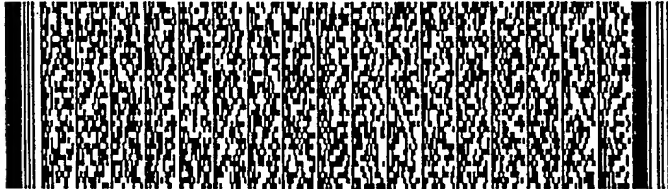
第 19/30 頁



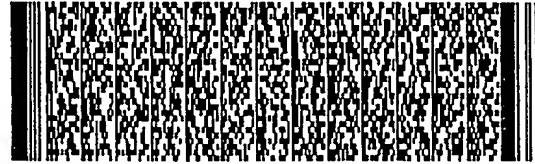
第 20/30 頁



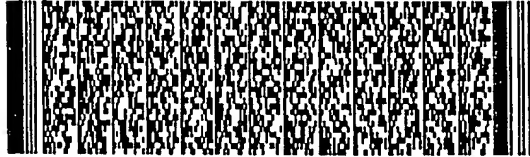
第 21/30 頁



第 22/30 頁



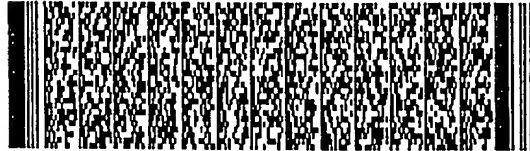
第 23/30 頁



第 23/30 頁



第 24/30 頁



第 24/30 頁



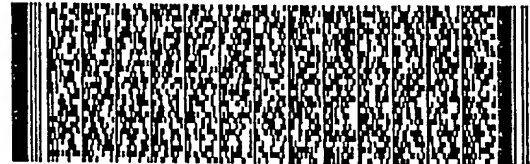
第 25/30 頁



第 25/30 頁



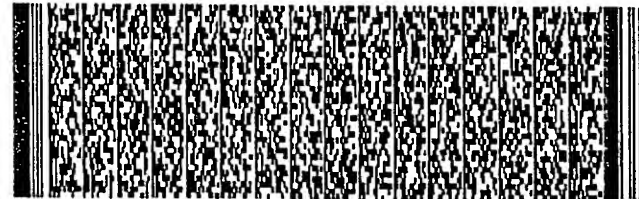
第 26/30 頁



第 26/30 頁



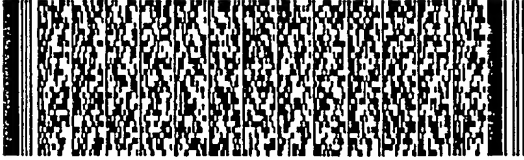
第 27/30 頁



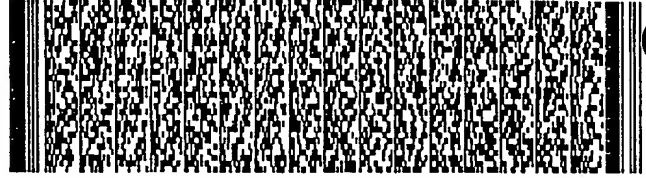
第 28/30 頁



第 28/30 頁

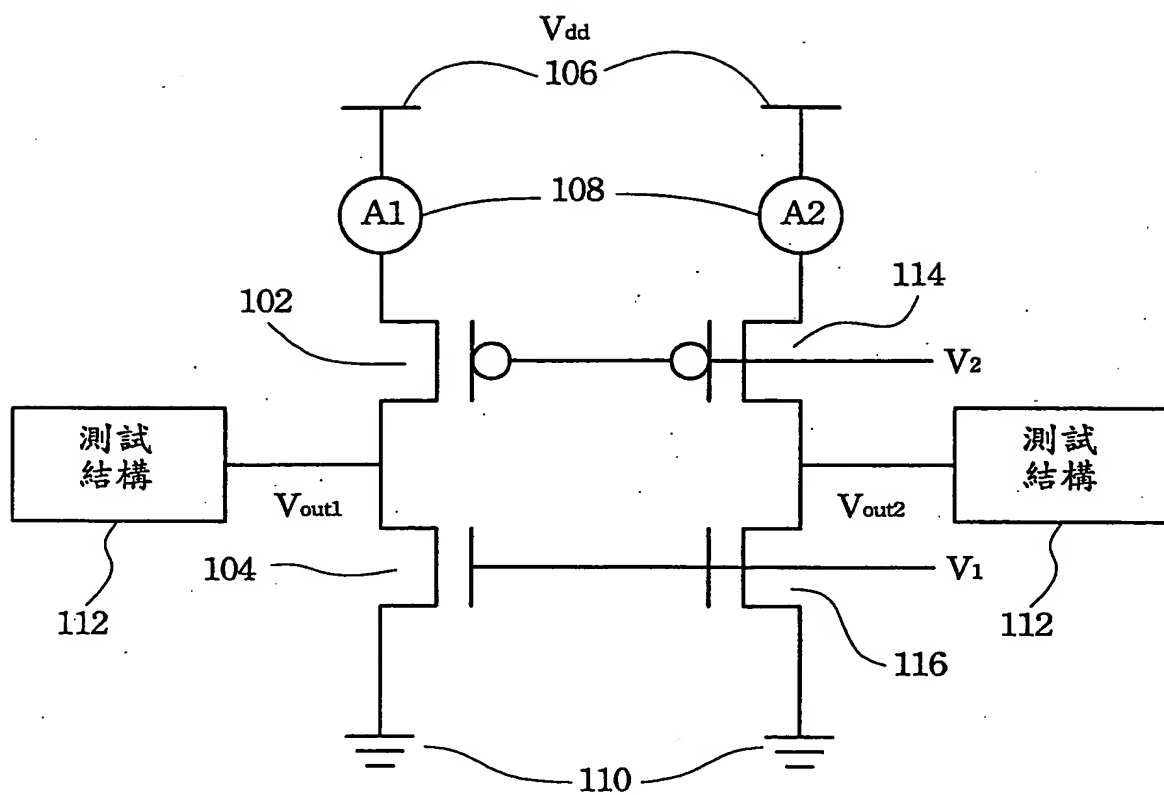


第 29/30 頁

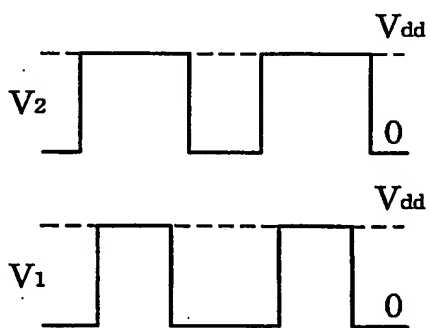


第 30/30 頁



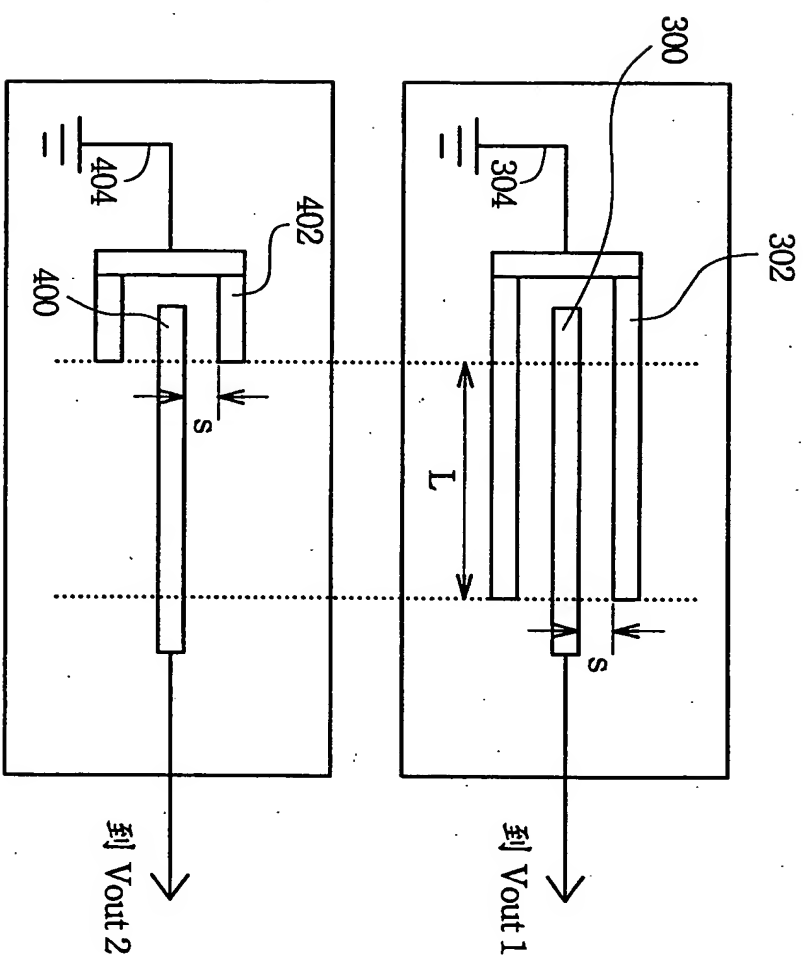


第 1 圖

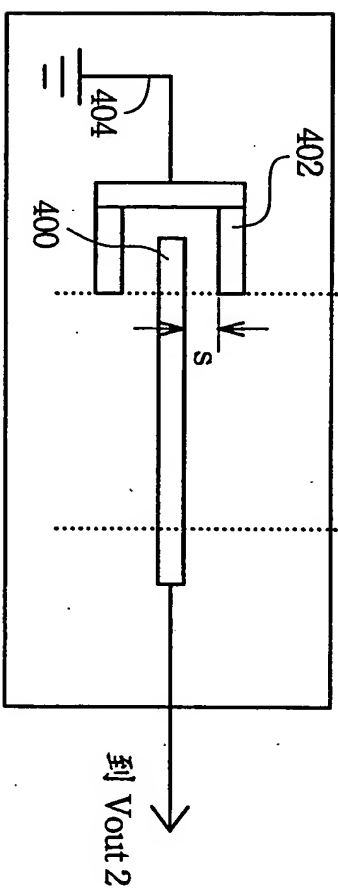


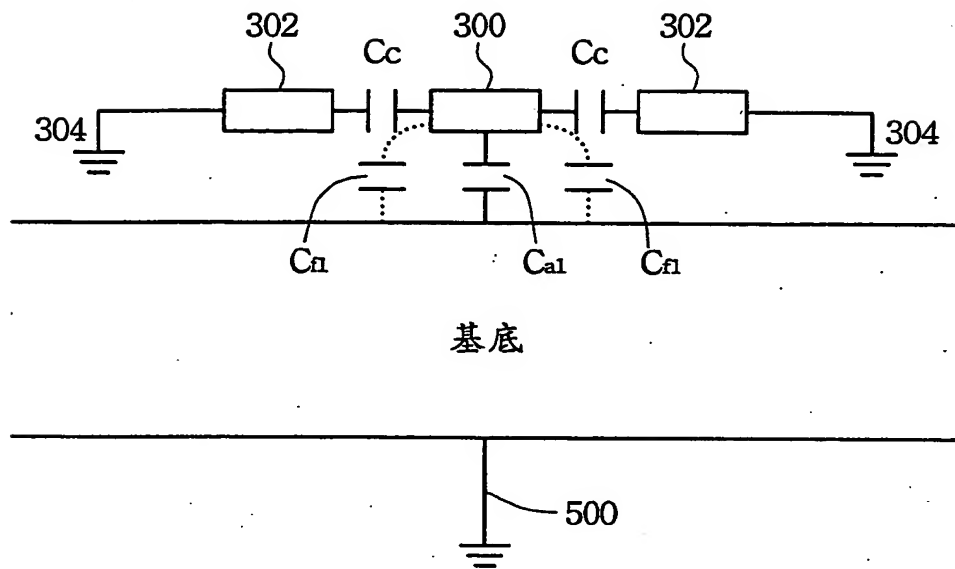
第 2 圖

第 3 圖

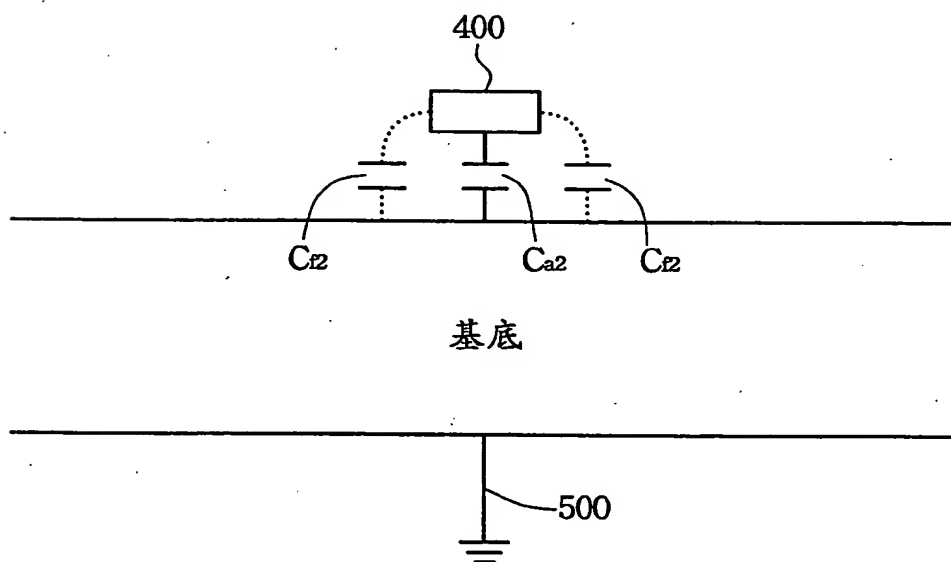


第 4 圖



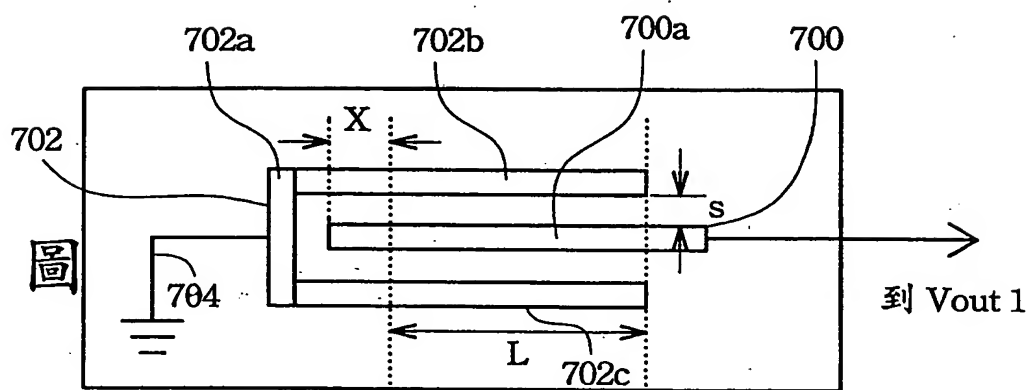


第 5 圖

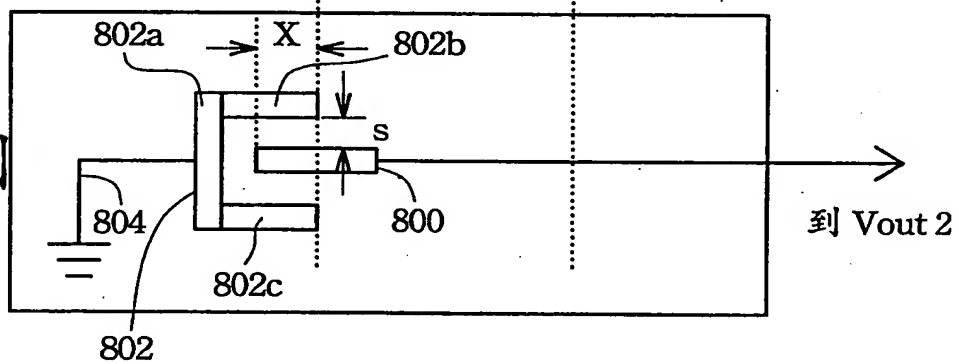


第 6 圖

第 7 圖

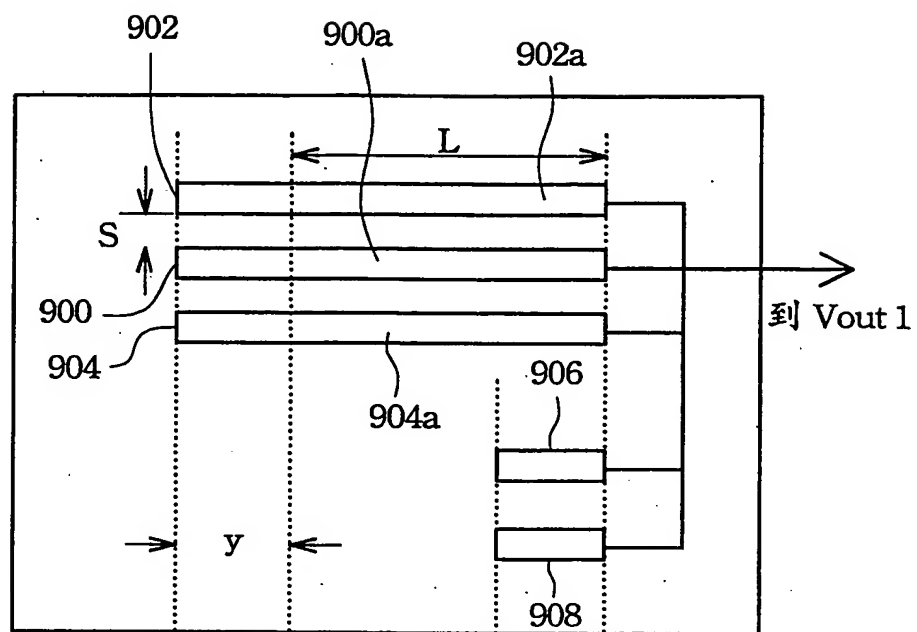


第 8 圖





第 9 圖



第 10 圖

